



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11074485 A**(43) Date of publication of application: **16 . 03 . 99**

(51) Int. Cl.

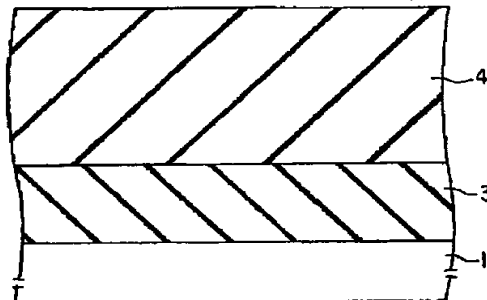
H01L 27/108**H01L 21/8242****H01L 21/318**(21) Application number: **10167092**(22) Date of filing: **15 . 06 . 98**(30) Priority: **30 . 06 . 97 JP 09174681**(71) Applicant: **TOSHIBA CORP**(72) Inventor: **SAIDA SHIGEHICO
TSUNASHIMA YOSHITAKA****(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF****(57) Abstract:**

PROBLEM TO BE SOLVED: To lessen a leakage current in a capacitor and also to enhance the quality of the capacitor and to make it possible to form the capacitor into a thin film by a method wherein a silicon nitride film is formed on a semiconductor substrate and the density of Si-H bonds being contained per the unit area of this silicon nitride film is set to a specified value or lower.

SOLUTION: The upper part of a silicon substrate 1 is cleaned using the mixed solution of a hydrochloric acid with hydrogen peroxide water. The substrate 1 is heat-treated on the condition of a temperature of 900°C and an air pressure of 10 Torr in an ammonia atmosphere and a nitrated natural oxide film layer 3 is formed on the surface of the substrate 1. A 4.0-nm thick silicon nitride film 4, which is used as a capacitor insulating film, is formed on the layer 3 by a reduced CDD method. In the case of the formation of this film 4, the mixed gas of a silicon tetrachloride with ammonia is used as raw gas and an air pressure of 0.5Torr and a temperature of 700°C are used as a film-forming pressure and a film-forming temperature respectively. In such a way, the film 4 of the density of hydrogen of $1 \times 10^{15} \text{ cm}^{-3}$ or

lower in per the unit area of the film 4 is formed. After this, an upper electrode is formed to complete-form a capacitor.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-74485

(43) 公開日 平成11年(1999) 3月16日

(51) Int.Cl.⁶

H 0 1 L 27/108
21/8242
21/318

識別記号

F I

H 0 1 L 27/10 6 5 1
21/318 B
M
27/10 6 2 1 B
6 2 5 A

審査請求 未請求 請求項の数12 O L (全 15 頁)

(21) 出願番号 特願平10-167092

(22) 出願日 平成10年(1998) 6月15日

(31) 優先権主張番号 特願平9-174681

(32) 優先日 平 9 (1997) 6月30日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 齋田 繁彦

神奈川県横浜市磯子区新杉田町 8 番地 株

式会社東芝横浜事業所内

(72) 発明者 網島 祥隆

神奈川県横浜市磯子区新杉田町 8 番地 株

式会社東芝横浜事業所内

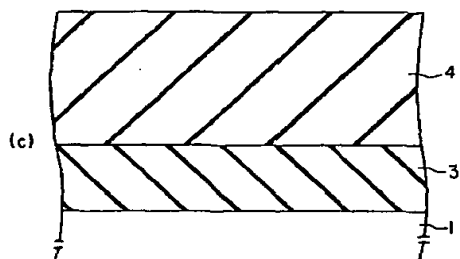
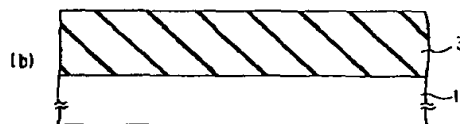
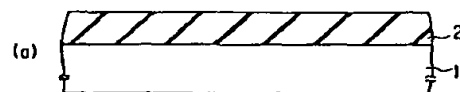
(74) 代理人 弁理士 鈴江 武彦 (外 6 名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 キャパシタ絶縁膜としてシリコン窒化膜を用いたキャパシタにおけるリーク電流を低減化を図ること。

【解決手段】 減圧CVD法によりシリコン窒化膜4を形成する際に、原料ガスとして四塩化シリコンとアンモニアとの混合ガスを使用することにより、シリコン窒化膜4がSi-H結合を実質的に含まないようにし、シリコン窒化膜4中の水素面密度を $1 \times 10^{15} \text{ cm}^{-2}$ 以下とする。



1:シリコン基板、2:自然酸化膜、3:窒化自然酸化膜
4:シリコン窒化膜

【特許請求の範囲】

【請求項 1】 半導体基板と、
前記半導体基板上に形成されたシリコン窒化膜と、を具備し、前記シリコン窒化膜は、 Si-H 結合を実質的に含まないことを特徴とする半導体装置。

【請求項 2】 前記シリコン窒化膜の単位面積あたりに含まれる Si-H 結合の密度が、 $1 \times 10^{15} \text{ cm}^{-2}$ 以下であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記シリコン窒化膜の膜厚は、4 nm 以上 8 nm 以下であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記シリコン窒化膜をキャパシタ絶縁膜およびゲート絶縁膜の少なくとも一方に用いたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 前記シリコン窒化膜は、 N-H 結合を実質的に含まないことを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 基板を減圧 CVD 装置に導入する工程と、
所定のシリコン原料ガスを、前記減圧 CVD 装置に導入して、 Si-H 結合を実質的に含まないシリコン窒化膜を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項 7】 前記シリコン窒化膜を形成する工程は、単位面積当たりの Si-H 結合密度が $1 \times 10^{15} \text{ cm}^{-2}$ 以下のシリコン窒化膜を前記基板に形成する工程を含むことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 前記シリコン窒化膜を形成する工程は、 Si-H 結合を有する前記所定のシリコン原料を使用して前記シリコン窒化膜を形成した後に、熱処理により前記シリコン窒化膜中の水素を低減し、単位面積当たりの Si-H 結合密度が $1 \times 10^{15} \text{ cm}^{-2}$ 以下のシリコン窒化膜を形成する工程を含むことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 9】 半導体基板をチャンバーに導入する工程と、
シリコンを含むガスを前記チャンバー内に導入する第 1 の工程と、
前記半導体基板に対し、前記シリコンを含むガス中で、温度 600°C 以上 900°C 以下、圧力 0.1 Torr 以上 10 Torr 以下で第 1 のアニールを行う第 2 の工程と、
前記第 1 のアニールの後で、前記シリコンを含むガスを排気する第 3 の工程と、
第 3 の工程の後で、窒素を含むガスを導入する第 4 の工程と、
前記半導体基板に対し、前記窒素を含むガス中で、温度 600°C 以上 1000°C 以下、圧力 0.5 Torr 以上 100 Torr 以下で第 2 のアニールを行う第 5 の工程

と、
前記第 5 の工程の後で、前記窒素を含むガスを排気する第 6 の工程と、
前記第 1 乃至第 6 の工程を複数回繰り返す工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項 10】 前記第 1 の工程の前に、前記半導体基板の表面に自然酸化膜を形成する工程と、
前記自然酸化膜を除去する工程と、をさらに具備することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】 前記第 1 の工程の前に、前記半導体基板の表面に自然酸化膜を形成する工程と、
前記酸化膜を六塩化二シリコン中でアニールする工程と、をさらに具備することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 12】 前記第 3 および第 6 の工程において、前記シリコンを含むガス、および窒素を含むガスのいずれかを排気する際に、不活性ガス、水素ガスおよび塩化水素ガスのいずれかに置換する工程を含むことを特徴とする請求項 9 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁膜にシリコン窒化膜を用いた半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年、情報処理装置の記録装置として、半導体記憶装置が多用されている。半導体記憶装置は、機械的駆動機構を有しないので衝撃に強く、また電氣的に読出しを行なうので高速なアクセスが可能である。

【0003】ところで、近年の半導体技術の進歩、特に微細加工技術の進歩により、メモリセルの微細化、つまり、半導体記憶装置の高集積化が急速に進められ、これによりメモリセルの記憶保持特性に関する問題が顕在化している。

【0004】例えば、メモリセルが MOS トランジスタとキャパシタを直列接続して構成された DRAM にあっては、高集積化に伴うキャパシタ面積の減少によって、キャパシタ容量が減少する方向にある。この結果、メモリ内容が誤って読み出されたり、あるいは α 線により記憶内容が破壊されるというソフトエラーが問題となっている。

【0005】このような問題を解決するためには、メモリセルの微細化を行なっても、キャパシタ容量を減少させないことが重要である。そのためには、キャパシタ面積の増加とともに、キャパシタ絶縁膜の薄膜化が必須である。

【0006】キャパシタ絶縁膜としては、シリコン酸化膜よりも誘電率の高いシリコン窒化膜が広く用いられている。この種のシリコン窒化膜は、従来より減圧 CVD

法にて形成されている。しかしながら、このようにして形成されたシリコン窒化膜は、リーク電流が大きいという問題があった。

【0007】

【発明が解決しようとする課題】 上述の如く、キャパシタ絶縁膜として、従来、減圧CVD法にて形成されたシリコン窒化膜を用いていた。しかしながら、この種のシリコン窒化膜は、リーク電流が増大しやすいという問題があった。

【0008】 本発明は、上記事情を考慮してなされたもので、その目的とするところは、リーク電流の小さいシリコン窒化膜を有する半導体装置およびその製造方法を提供することにある。

【0009】

【課題を解決するための手段】 上記目的を達成するために、本発明に係る半導体装置（請求項1）は、半導体基板と、前記半導体基板上に形成されたシリコン窒化膜とを具備し、前記シリコン窒化膜は、Si-H結合を実質的に含まないことを特徴とする。

【0010】 また、前記シリコン窒化膜の単位面積当たりに含まれるSi-H結合の密度が、 $1 \times 10^{15} \text{ cm}^{-2}$ 以下であることを特徴とする（請求項2）。また、前記シリコン窒化膜の膜厚は、4nm以上8nm以下であることを特徴とする（請求項3）。

【0011】 また、前記シリコン窒化膜は、膜厚2nm以下の単位層が積層された積層構造であることを特徴とする。また、前記シリコン窒化膜をキャパシタ絶縁膜およびゲート絶縁膜の少なくとも一方に用いたことを特徴とする（請求項4）。

【0012】 また、前記シリコン窒化膜は、N-H結合を実質的に含まないことを特徴とする（請求項5）。本発明に係る半導体装置の製造方法（請求項6）は、基板を減圧CVD装置に導入する工程と、所定のシリコン原料ガスを、前記減圧CVD装置に導入して、Si-H結合を実質的に含まないシリコン窒化膜を形成する工程とを具備することを特徴とする。

【0013】 また、前記シリコン窒化膜を形成する工程は、単位面積当たりのSi-H結合密度が $1 \times 10^{15} \text{ cm}^{-2}$ 以下のシリコン窒化膜を前記基板に形成する工程を含むことを特徴とする（請求項7）。

【0014】 また、前記所定のシリコン原料ガスは、Si-H結合を含まないシリコン原料ガスを使用することを特徴とする。また、前記所定のシリコン原料ガスは、シリコンの全ての結合手が、シリコン、窒素およびハロゲンからなる元素群から選ばれた少なくとも1つと結合していることを特徴とする。

【0015】 また、前記所定のシリコン原料ガスは、四塩化シリコン、六塩化二シリコン、テトラキスジメチルアミノシリコンおよびトリクロルシリルアジドの中の1つであることを特徴とする。

【0016】 また、前記シリコン窒化膜を形成する工程は、Si-H結合を有する前記所定のシリコン原料を使用して前記シリコン窒化膜を形成した後に、熱処理により前記シリコン窒化膜中の水素を低減し、単位面積当たりのSi-H結合密度が $1 \times 10^{15} \text{ cm}^{-2}$ 以下のシリコン窒化膜を形成する工程を含むことを特徴とする（請求項8）。

【0017】 また、前記熱処理の処理温度は、900℃以上1100℃以下であることを特徴とする。本発明に係る他の半導体装置の製造方法（請求項9）は、半導体基板をチャンバーに導入する工程と、シリコンを含むガスを前記チャンバー内に導入する第1の工程と、前記半導体基板に対し、前記シリコンを含むガス中で、温度600℃以上900℃以下、圧力0.1 Torr以上10 Torr以下で第1のアニールを行う第2の工程と、前記第1のアニールの後で、前記シリコンを含むガスを排気する第3の工程と、第3の工程の後で、窒素を含むガスを導入する第4の工程と、前記半導体基板に対し、前記窒素を含むガス中で、温度600℃以上1000℃以下、圧力0.5 Torr以上100 Torr以下で第2のアニールを行う第5の工程と、前記第5の工程の後で、前記窒素を含むガスを排気する第6の工程と、前記第1乃至第6の工程を複数回繰り返す工程とを具備することを特徴とする。

【0018】 また、前記シリコンを含むガスとして、四塩化シラン、三塩化シラン、および二塩化シランの内の少なくとも1つを含むことを特徴とする。また、前記窒素を含むガスとして、アンモニア、三弗化窒素、ヒドラジン、ジメチルヒドラジン、およびモノメチルヒドラジンの内の少なくとも1つを含むことを特徴とする。

【0019】 また、前記第1の工程の前に、前記半導体基板を熱窒化する工程をさらに有することを特徴とする。また、前記第1の工程の前に、前記半導体基板の表面に自然酸化膜を形成する工程と、前記自然酸化膜を除去する工程とをさらに具備することを特徴とする（請求項10）。

【0020】 また、前記第1の工程の前に、前記半導体基板の表面に自然酸化膜を形成する工程と、前記自然酸化膜を六塩化二シラン中でアニールする工程とをさらに具備することを特徴とする（請求項11）。

【0021】 また、前記六塩化二シラン中のアニール温度が400℃以下であることを特徴とする。また、前記第3および第6の工程において、前記シリコンを含むガス、および窒素を含むガスのいずれかを排気する際に、不活性ガス、水素ガスおよび塩化水素ガスのいずれかに置換する工程を含むことを特徴とする（請求項12）。

【0022】 また、前記第5の工程により形成されるシリコン窒化膜の単位面積当たりのSi-H結合密度が $1 \times 10^{15} \text{ cm}^{-2}$ 以下であることを特徴とする。本発明は、以下のような知見に基づいてなされたものである。

【0023】キャパシタ絶縁膜に用いるシリコン窒化膜は、従来より減圧CVD法を用いて形成されているが、この方法で形成されたシリコン窒化膜は多量 ($3 \times 10^{21} \text{ cm}^{-3}$ 以上) の水素を含んでいる。

【0024】この場合、シリコン窒化膜中の水素はSi-H結合およびN-H結合を形成しているが、特にSi-H結合は結合力が弱いために、シリコン窒化膜中には多量のシリコンの未結合手が存在している。シリコンの未結合手はトラップとなるため、シリコンの未結合手の多いシリコン窒化膜では、リーク電流が増大することになる。

【0025】したがって、リーク電流の低減を図るためには、Si-H濃度を低くし、シリコンの未結合手の数を少なくすれば良い。そして、リーク電流を十分に小さくするには、Si-H面密度が $1 \times 10^{15} \text{ cm}^{-2}$ 以下であれば良いことが分かった。

【0026】本発明の半導体装置（請求項1）によれば、単位面積当たりのSi-H密度が $1 \times 10^{15} \text{ cm}^{-2}$ 以下であるために、リーク電流の小さいシリコン窒化膜を実現できる。

【0027】また、本発明では、シリコン窒化膜の膜厚を4nm以上としている。この程度の値であれば、成膜の際にシリコン窒化膜の膜厚を容易に制御性できる。また、単位面積当たりのSi-H密度を小さくするには、Si-H密度を低くするだけではなく、膜厚を薄くすることも有効である。例えば、本発明のように、膜厚を8nm以下にすることにより、Si-H密度が $1 \times 10^{15} \text{ cm}^{-2}$ 以下の条件を満たすシリコン窒化膜を容易に形成できるようになる。

【0028】また、本発明では、シリコン窒化膜を積層構造とすることができる。このような構造のシリコン窒化膜は、本発明の半導体装置の製造方法（請求項7）で、膜厚2nm以下として、これを繰返すことにより容易に形成できる。

【0029】また、本発明のシリコン窒化膜は、薄膜（酸化膜換算で5nm以下）および低リーク電流が求められるキャパシタ絶縁膜やゲート絶縁膜に特に有効である。また、本発明の半導体装置の製造方法（請求項7）では、所定のシリコン原料ガスを用いた減圧CVD法により、単位面積当たりのSi-H結合密度が $1 \times 10^{15} \text{ cm}^{-2}$ 以下のシリコン窒化膜が形成される。すなわち、シリコンの未結合手（トラップ）の原因となるSi-H結合を含まないシリコン原料ガスが使用されている。

【0030】したがって、このようなシリコン原料ガスを用いれば、Si-H結合の数が減少するので、シリコンの未結合手（トラップ）が減少し、リーク電流は小さくなる。

【0031】また、本発明の製造方法では、初めからSi-H結合密度が低いシリコン窒化膜を形成するのではなく、後処理によりSi-H結合密度を低減化すること

により、Si-H結合面密度が $1 \times 10^{15} \text{ cm}^{-2}$ 以下のシリコン窒化膜を形成することもできる。すなわち、シリコン窒化膜を形成した後に、熱処理により前記シリコン窒化膜中の水素が低減される。この場合も、Si-H結合の数が減少するので、リーク電流は小さくなる。

【0032】なお、熱処理の処理温度が低いと、水素の外方拡散が起こりにくいので、処理温度は900℃以上、好ましくは950℃以上とする。また、処理温度が高過ぎると他の素子などが悪影響を受けるので、処理温度は1100℃以下、好ましくは1050℃以下とする。

【0033】また、本発明の製造方法では、シリコンを含む膜を形成した後にこの膜を窒化することにより、シリコンの未結合手が窒素により終端され、トラップ密度が低減されたシリコン窒化膜が得られる。したがって、トラップを介して流れるリーク電流は小さくなる。

【0034】また、窒化の条件によっては、単位面積当たりのSi-H密度が $1 \times 10^{15} \text{ cm}^{-2}$ 以下の領域を有するシリコン窒化膜が形成され、これによりSi-H結合に起因したリーク電流はさらに小さくなる。

【0035】また、シリコンを含む膜の膜厚を2nm以下にすると、この膜の全体を容易に窒化でき、これによりリーク電流の増加を効果的に抑制できるようになる。また、薄膜窒化膜のリーク電流を低減するためには、膜中の不純物の低減が重要である。従来の化学気相成長法（CVD）では、窒化膜中に多くの水素、塩素が含まれ、リーク電流の原因になっている。

【0036】本発明の他の半導体装置の製造方法（請求項14）では、シリコン源および窒素源を交互に供給することで、ガスが混ざることがないために気相反応を抑制することができる。その結果、水素、塩素は膜表面にのみ残留し、かつ反応が一定量に制限されて（自己制限的に）進むため、熱処理時間を十分に長くすることにより、表面に残留した水素、塩素濃度を低減することができる。

【0037】反応が自己制限的に進む理由は、Si源は窒化膜表面では化学反応を起こすが、Si表面上では反応が起こりにくいためである。例えば図15に示すように、分子軌道法に基づく検討から、表面に存在するN-H結合は四塩化シリコンと反応し、塩化水素を脱離し、N-SiCl₃という結合を形成する反応がエネルギー障壁無しで進むことが明らかになっている。この成膜メカニズムにより、シリコン窒化膜中の水素、塩素濃度を低減でき、かつリーク電流を低減できる。

【0038】さらに上述したように反応が自己制限的に進むために、非常に良好な段差被覆性を有している。また、塩化シランをシリコン源として用いる場合には、窒化膜表面に有るN-H結合が塩化シランのSi-Cl結合と反応し、水素を効果的に除去できる。

【0039】また、アンモニアやヒドラジンといった活

性な窒素源を用いる場合には、容易にSi-Cl結合から塩素を除去することができる。また、高温で比較的高い圧力にて処理を行うことにより、水素、塩素の除去効果をより高めることができる。ただしシリコンを含むガスで熱処理を行う場合、あまり高温で熱処理を行うとシリコンが堆積するので、シリコン源が分解する温度以下で、熱処理を行う必要がある。

【0040】同様の理由で、圧力を高くすると、気相反応によりシリコンが堆積し、また逆に圧力が低すぎると、充分表面反応が進みにくく、一方窒素を含む熱処理では、できるだけ高温で熱処理を行うことが好ましい。

【0041】また、シリコン窒化膜形成の前処理として、基板表面を熱窒化すれば、シリコン窒化膜のマイクロスコピックな膜厚均一性を著しく向上でき、シリコン窒化膜を低リーク電流化することができる。特に六塩化二シリコンにより自然酸化膜を熱処理することにより、従来の熱窒化膜よりも高品質の極薄酸化膜上に膜厚均一性良くシリコン窒化膜を形成することができる。

【0042】また、所定の処理終了後、不活性ガスまたは塩化水素ガスまたは水素ガスにより、各原料ガスを置換することにより、各原料ガスが気相中で反応することを抑制することができる。その結果、Si-Cl、Si-H、N-Hといった不純物を含む結合は、最表面にのみ形成され、従って容易に除去可能になる。また、他の効果として、気相中での反応が抑制できるので、成膜中のダストが低減できる。

【0043】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態を説明する。

(第1の実施形態) 図1は、本発明の第1の実施形態に係るシリコン窒化膜の形成方法を段階的に示す断面図である。ここでは、キャパシタ絶縁膜としてのシリコン窒化膜の場合について説明する。

【0044】まず、図1(a)に示すように、シリコン基板1上に存在する金属などの汚染物を塩酸と過酸化水素水との混合液(洗浄液)を用いて洗浄する。この洗浄液には過酸化水素水が含まれているので、洗浄の際にシリコン基板1の表面に自然酸化膜層2が形成される。この自然酸化膜層2の膜厚は、例えば1.0nm程度である。

【0045】次に図1(b)に示すように、アンモニア雰囲気中でシリコン基板1を900℃、1時間、10 Torrの条件で熱処理し、シリコン基板1の表面に厚さ2.0nmの窒化された自然酸化膜層(窒化自然酸化膜層)3を形成する。すなわち、自然酸化膜層2をより厚い窒化自然酸化膜層3に変える。

【0046】次に図1(c)に示すように、窒化自然酸化膜層3上にキャパシタ絶縁膜としての厚さ4.0nmのシリコン窒化膜4を、減圧CVD法を用いて形成する。このとき、原料ガスとして四塩化シリコンとアンモ

ニアとの混合ガスを使用し、成膜圧力を0.5 Torr、成膜温度が700℃とする。

【0047】このようにして単位面積当たりの水素密度が $1 \times 10^{15} \text{ cm}^{-2}$ 以下のシリコン窒化膜4を形成することができる。この後、図示しない上部電極を形成してキャパシタが完成する。

【0048】なお、本実施形態では、窒化自然酸化膜層3上にシリコン窒化膜4を形成したが、シリコン基板1の表面の自然酸化膜を完全に除去した状態で、シリコン窒化膜4の成膜を行なっても良い。

【0049】図2に、本実施形態のシリコン窒化膜および従来のシリコン窒化膜について、膜厚(深さ)方向の水素濃度の分布を示す。この場合、従来のシリコン窒化膜は、原料ガスとしてジクロルシランとアンモニアとの混合ガスを用いて形成されたものである。他の条件は本発明の第1の実施形態と同じである。図2から、本実施形態のシリコン窒化膜の方が従来のシリコン窒化膜よりも、水素濃度が低いことが分かる。その理由は以下のように考えられる。

【0050】従来のシリコン窒化膜の場合、原料ガスとしてジクロルシランとアンモニアとの混合ガスを用いている。ジクロルシランは、シリコンに水素が直接結合した構造(Si-H結合)を有する物質である。ジクロルシランの水素は膜中に混入しやすいので、これが原因で従来のシリコン窒化膜は水素濃度が高いと考えられる。

【0051】一方、本実施形態のシリコン窒化膜の場合、原料ガスとして四塩化シリコンとアンモニアとの混合ガスを用いている。四塩化シリコンはSi-H結合をもっていないので、ジクロルシランの場合とは異なり、シリコン窒化膜中の水素濃度が高くなることはない。

【0052】図3に、本実施形態のシリコン窒化膜および従来のシリコン窒化膜について、それぞれのESR(electron spin resonance)吸収スペクトルの測定結果を示す。図3から、本実施形態のシリコン窒化膜の方が従来のシリコン窒化膜よりも、シリコンのダングリングボンド(図3において、 $\text{N}_3 \text{ Si-}$ で表わす)の数が少ないことが分かる。なお、この場合、分析方法としてESRを用いたが、FT-IR(Fourier-transform infrared)吸収を用い、Si-H結合の測定を行っても良い。

【0053】また、本実施形態のシリコン窒化膜および従来のシリコン窒化膜を、それぞれゲート絶縁膜に用いてMIS構造を形成し、リーク電流($V_g - T_{\text{eff}}$ 特性)を調べて見た。図4にその結果を示す。図4において、横軸はシリコン酸化膜換算膜厚 T_{eff} 、縦軸は $1 \times 10^{-8} \text{ A/cm}^2$ の電流を流した場合のゲート電圧 V_g を示している。図4から、 SiCl_4 を用いた本実施形態のシリコン窒化膜の方が、 SiCl_2H_2 を用いた従来のシリコン窒化膜よりも、リーク電流が小さいことが分かる。

【0054】また、図5に、実膜厚が5nmのシリコン窒化膜の水素面密度とリーク電流との関係を示す。図5から、上記膜厚における単位面積当たりの水素密度が $1 \times 10^{15} \text{ cm}^{-2}$ 以下になると、リーク電流が急激に減少していることが分かる。これは以下のように説明することができる。

【0055】シリコン窒化膜中には多量のトラップが存在することが知られており、このトラップは水素密度に対しておよそ10分の1ほど形成されていることが分かっている。

【0056】単位面積当たりの水素密度が $1 \times 10^{15} \text{ cm}^{-2}$ であるとする、トラップ密度は $1 \times 10^{14} \text{ cm}^{-2}$ であり、1個のトラップがその周囲1nmの範囲に影響を与えるとすると、リーク電流はトラップを介して流れることになる。単位面積当たりの水素密度が $1 \times 10^{15} \text{ cm}^{-2}$ よりも低くなると、トラップを介さずに流れる電流が支配的となり、リーク電流が減少する。したがって、理想的には、トラップ密度をさらに2桁ほど低減することが好ましく、単位面積当たりの水素密度で $1 \times 10^{13} \text{ cm}^{-2}$ 以下にすることが好ましい。

【0057】単位面積当たりの水素密度を低減するには、水素濃度を低減するだけでなく、薄膜化することもある有効である。本実施形態のシリコン窒化膜は、単位体積当たりの水素密度が $1.2 \times 10^{21} \text{ cm}^{-3}$ であるために、膜厚8nm以下にしなければ、単位面積当たりの水素密度 $1 \times 10^{15} \text{ cm}^{-2}$ 以下を達成できない。このため、本実施形態では膜厚を4nmとしている。この場合、膜厚が4nm未満だと膜厚の制御が困難になる。言い換えれば、4nmまでは制御性良く薄膜形成が可能である。したがって、シリコン窒化膜の膜厚は、4nm以上8nm以下であることが好ましい。

【0058】図6に、原料ガスに SiCl_4 を用いた本実施形態のシリコン窒化膜と、 SiCl_2H_2 を用いた従来のシリコン窒化膜について、それぞれのFT-IR吸収スペクトルの測定結果を示す。図6から、本実施形態のシリコン窒化膜の方が従来のシリコン窒化膜よりも、 Si-H 結合が少なく、検出限界以下になっていることが分かる。

【0059】以上述べたように、本実施形態によれば、原料ガスとして四塩化シリコンとアンモニアとの混合ガスを用いた減圧CVD法により、単位面積当たりの水素密度が $1 \times 10^{15} \text{ cm}^{-2}$ 以下で、 Si-H 結合が実質的にゼロのシリコン窒化膜（キャパシタ絶縁膜）が形成できる。すなわち、トラップの原因となる結合力の弱い Si-H 結合が十分に低減されたシリコン窒化膜が形成できる。これにより、シリコン窒化膜のリーク電流が小さくでき、同じキャパシタ面積でも蓄積電荷量は従来よりも多くなる。

【0060】さらには小さいキャパシタ面積でも蓄積電荷量を従来よりも多くすることも可能である。これはト

レンチキャパシタの場合にはトレンチの深さを浅くでき、スタックキャパシタの場合には高さを低く押さえることができることを意味している。

【0061】また、このシリコン窒化膜は4nmまで制御性良く薄膜化できるので、キャパシタの微細化を容易に図ることもできる。なお、本実施形態では、原料ガスとして四塩化シリコンとアンモニアとの混合ガスを用いたが、他の原料ガスを用いても良い。例えば、四塩化シリコンとトリクロルナイトライドとの混合ガスを用いても良い。さらに、テトラキスジメチルアミノシリコン、トリクロルシリルアジドのガスを用いても良い。要は、シリコン原料ガスとして、 Si-H 結合を持っていない物質のガスを用いれば良い。また、原料ガス以外の成膜条件も上述した値に限定されるものではない。

【0062】また、本実施形態では、平面基板上にキャパシタを形成する場合について説明したが、本発明はトレンチキャパシタやスタックキャパシタ等の3次元構造を有するキャパシタにも適用できる。また、本発明はゲート絶縁膜などの他の絶縁膜にも適用できる。

【0063】また、本実施形態では、特定の原料ガスを用いることで、リーク電流の小さいシリコン窒化膜を形成したが、従来のように原料ガスとしてジクロルシランとアンモニアとの混合ガス（ Si-H 結合を有する原料ガス）を用いても、リーク電流の小さいシリコン窒化膜を形成することが可能である。

【0064】すなわち、原料ガスとしてジクロルシランとアンモニアとの混合ガスを用いた減圧CVD法により、シリコン窒化膜を形成した後に、熱処理によりシリコン窒化膜中の水素を低減することができる。この場合も、 Si-H 結合の数が減少するので、リーク電流は小さくなる。

【0065】この場合、熱処理の処理温度が低いと、水素の外方拡散が起こりにくいので、処理温度は900℃以上、好ましくは950℃以上とするのが良い。また、処理温度が高過ぎると他の素子などが悪影響を受けるので、処理温度の上限は1100℃以下、好ましくは1050℃以下とする。

【0066】また、本実施形態では、シリコン窒化膜の成膜方法として減圧CVD法を用いたが、熱窒化を用いても良い。さらに、熱窒化を用いてある程度の厚さのシリコン窒化膜を形成した後、残りのシリコン窒化膜を減圧CVD法により形成しても良い。

（第2の実施形態）図7乃至図9は、本発明の第2の実施形態に係るDRAMメモリの製造方法を段階的に示す断面図である。

【0067】まず、図7(a)に示すように、p型シリコン基板11（例えば、比抵抗 $10 \Omega \text{ cm}$ 、結晶面（100））の全面に厚さ10nmのシリコン酸化膜12を熱酸化法を用いて形成する。この後、シリコン酸化膜12上に厚さ500nmのシリコン窒化膜13をCVD法

を用いて形成する。

【0068】次に図7(b)に示すように、フォトリソグラフィとエッチングを用いて、トレンチ溝14を形成した後、トレンチ溝14の底面および側面にあたるp型シリコン基板11の表面に、プレート電極としての高不純物濃度のn型不純物拡散層15を周知の方法により形成する。

【0069】さらに、窒化剤として NH_3 を用いた、窒素性雰囲気中での950℃、1時間の窒化処理により、第1のシリコン窒化膜16を形成し、第1のキャパシタ絶縁膜とする。

【0070】さらに、第1のシリコン窒化膜16上に厚さ6nmの第2のシリコン窒化膜17をCVD法を用いて形成し、第2のキャパシタ絶縁膜とする。この場合、原料ガスとしては第1の実施形態と同様なものを用い、単位面積当たりの水素密度が $1 \times 10^{15} \text{ cm}^{-2}$ 以下となるようにすることが好ましい。

【0071】この後、窒素性雰囲気中で、第2のシリコン窒化膜17を950℃、1時間の条件で熱窒化（アニール）し、第2のシリコン窒化膜17の表面から2nmの深さまでに存在するダングリングボンドを窒素で終端する。

【0072】次に図7(c)に示すように、第1のストレージノード電極18となる砒素ドーパボリシリコン膜を、トレンチ溝14を埋め込むように全面に堆積し、次いで化学的機械的研磨（CMP）法を用いてシリコン窒化膜13の表面が現れるまで、砒素ドーパボリシリコン膜を研磨する。

【0073】次いでRIEを用いて砒素ドーパボリシリコン膜をエッチバックし、第1のストレージノード電極18を形成する。このときのRIEにより、第1のストレージノード電極18より上に在るトレンチ溝14の側壁のシリコン窒化膜16、17も除去する。

【0074】この後、第1のストレージノード電極18より上に在るトレンチ溝14の側壁に後酸化膜19を形成する。次に図8(d)に示すように、第2のストレージノード電極20となる第2の砒素ドーパボリシリコン膜を、トレンチ溝14を埋め込むように全面に堆積する。その後、第1のストレージノード電極18の場合と同様のCMPによる研磨、RIEによるエッチバックを行い、第2のストレージノード電極20を形成する。

【0075】さらに、第2のストレージノード電極18よりも上に在るトレンチ溝14の側壁の後酸化膜19を除去した後、第3のストレージノード電極となる第3のボロドーパボリシリコン膜21を、トレンチ溝14を埋め込むように全面に堆積する。

【0076】次に図8(e)に示すように、第3の砒素ドーパボリシリコン膜21を基板表面までエッチバックした後、レジストパターン29を形成する。さらに、レジストパターン29をマスクにして第3の砒素ドーパボ

リシリコン膜21を選択的にRIEで除去する。

【0077】次に図8(f)に示すように、エッチング種を変えて、レジストパターン29をマスクにしてシリコン窒化膜13を選択的にRIEする。さらにエッチング種を変えて、レジストパターン29をマスクにしてシリコン酸化膜12を選択的にRIEで除去する。

【0078】さらに、レジストパターン29をマスクにして、残された第3の砒素ドーパボリシリコン膜21の一部およびp型シリコン基板11の一部をRIEで除去し、素子分離溝30を形成する。この後、レジストパターン29を剥離する。

【0079】次に図9(g)に示すように、素子分離絶縁膜22としてのTEOS膜を素子分離溝を埋め込むように全面に堆積した後、シリコン窒化膜13が現れるまで上記TEOS膜をCMP法で除去する。

【0080】次に図9(h)に示すように、弗化水素（HF）を用いて素子分離絶縁膜22を基板表面まで選択的にエッチングする。さらに、熱燐酸液を用いてシリコン窒化膜13を選択的に除去し、次いでHFを用いてシリコン酸化膜12を選択的に除去する。

【0081】次に図9(i)に示すように、素子領域のシリコン基板11上にゲート酸化膜23を熱酸化法を用いて形成した後、全面にゲート電極24となるリンドーパ多結晶シリコン膜、ゲート上部絶縁膜25となる絶縁膜を順次形成する。この後、これらの膜をフォトリソグラフィとエッチングを用いて加工し、ゲート電極24、ゲート上部絶縁膜25を形成する。

【0082】さらに、ゲート上部絶縁膜25、ゲート電極24をマスクにして、n型不純物イオンを基板表面に注入し、低不純物濃度の浅いソース・ドレイン領域（LDD）26を形成する。

【0083】さらに、ゲート側壁シリコン窒化膜27となる厚さ10nmのシリコン窒化膜をCVD法を用いて全面に堆積した後、このシリコン窒化膜をRIEで異方性エッチングし、ゲート電極24、ゲート上部絶縁膜25の側壁に上記シリコン窒化膜を選択的に残置し、ゲート側壁シリコン窒化膜27を形成する。

【0084】最後に、ゲート電極24、ゲート上部絶縁膜25、ゲート側壁シリコン窒化膜27をマスクにして、n型不純物イオンを基板表面に注入し、高不純物濃度のソース・ドレイン領域28を形成する。なお、ソース・ドレイン領域26、28のn型不純物の活性化は、同時でも別々でも良い。

【0085】図10に、本実施形態に従って形成されたトレンチキャパシタと、従来のシリコン窒化膜を用いたトレンチキャパシタの $V_g - T_{eff}$ 特性を示す。図10から、本実施形態のトレンチキャパシタの方がリーク電流が小さいことが分かる。

【0086】本実施形態のトレンチキャパシタの方がリーク電流が小さい理由は、以下の通りである。すなわ

ち、第2のシリコン窒化膜17中のダングリングボンドが、窒素性雰囲気中で熱窒化（アニール）により終端され、リーク電流の原因であるトラップが減少したからである。

【0087】この効果は、第2のシリコン窒化膜17の原料ガスとして、従来と同じものを使用しても得られる。もちろん、第1の実施形態で述べた原料ガスを用い、単位面積当たりの水素密度を $1 \times 10^{15} \text{ cm}^{-2}$ 以下にすることが好ましい。

【0088】また、熱窒化の条件によっても、単位面積当たりの水素密度を $1 \times 10^{15} \text{ cm}^{-2}$ 以下にすることができる。例えば、第1の実施形態で述べた温度範囲（900℃以上1100℃以下、好ましくは950℃以上1050℃以下）で熱窒化を行なう。

【0089】熱窒化の条件は、 NH_3 雰囲気で行なう場合には、700℃で30分以上、900℃では10分以上行なうことが好ましい。トラップ密度を効果的に低減するためには、高温、長時間の熱窒化が好ましく、例えば本実施形態で示した950℃、1時間という条件が良い。

【0090】また、窒化材は NH_3 に限定されるものではなく、例えば NF_3 、 N_2O 、 NO を用いても良い。要はシリコン窒化膜中のダングリングボンドが終端されるものを使用すれば良い。

（第3の実施形態）図11は、本発明の第3の実施形態に係るDRAMメモリセルの製造方法を段階的に示す断面図である。第2の実施形態は、シリコン窒化膜の表面部分のみを熱窒化する例であったが、本実施形態は、シリコン窒化膜の全体を熱窒化する例である。

【0091】まず、図11（a）に示すように、周知の方法に従ってp型シリコン基板31にMOSトランジスタが形成される。図11（a）において、32は素子分離絶縁膜、33はゲート酸化膜、34はゲート電極、35はゲート上部絶縁膜、36はゲート側壁絶縁膜、37はLDD構造のソース・ドレイン領域を示している。

【0092】さらに、全面に層間絶縁膜38を堆積する。この後、層間絶縁膜38に一方のソース・ドレイン領域37に達する溝を開孔した後、多結晶シリコン膜からなるストレージノード電極39を形成する。

【0093】次に図11（b）に示すように、窒化剤として NH_3 を用いた窒素性雰囲気中で950℃、1時間の条件でストレージノード電極（多結晶シリコン膜）39の表面を熱窒化する。これにより、ストレージノード電極（多結晶シリコン膜）39の表面に、第1のキャパシタ絶縁膜として厚さ2nm程度の第1のシリコン窒化膜40aが形成される。

【0094】さらに、第1のシリコン窒化膜40a上に、第2のキャパシタ絶縁膜として厚さ2nmの第2のシリコン窒化膜40bをCVD法により形成する。この後、窒化剤として NH_3 を用いた窒化性雰囲気中、95

0℃、1時間の条件で第2のシリコン窒化膜40bの全体を熱窒化し、膜中のダングリングボンドを終端する。

【0095】この後、上記の工程をさらにもう1回繰返すことにより、膜中のダングリングボンドが終端された第3、第4のシリコン窒化膜40c、40dが形成される。なお、シリコン窒化膜40b～40dの原料ガスとしては、第1の実施形態で述べたものを使用し、単位面積当たりの水素密度を $1 \times 10^{15} \text{ cm}^{-2}$ 以下にすることが好ましい。

【0096】最後に、図11（c）に示すように、プレート電極41としての多結晶シリコン膜を堆積した後、この多結晶シリコン膜およびシリコン窒化膜40a～40dを所定の形状にパターニングすることにより、DRAMメモリセルが完成する。

【0097】本実施形態でも第2の実施例と同様な理由により、リーク電流の低減化を図ることができる。ここで、シリコン窒化膜40b～40dの各々はその全体が熱窒化されているので、リーク電流をさらに小さくできる。

【0098】なお、シリコン窒化膜40b～40dの膜厚は2nm以下とする。その理由は、950℃、1時間の熱窒化处理の場合、窒化剤は2nmの深さを越えて拡散しないからである。また、本実施形態では4層構造の場合について説明したが、5層以上でも良いし、または2層もしくは3層でも良い。

【0099】また、第2、第3の実施形態において、熱窒化工程の際に、 NH_3 に水素を同時に流しても良い。水素を流すことでダングリングボンドの終端をより効率的に行なうことが可能となる。ただし、水素密度の低減の観点からは、窒素で終端するほうが好ましい。

（第4の実施形態）第2、第3の実施形態では、シリコン窒化膜を熱窒化する場合について説明したが、本実施形態では、シリコン酸化膜を熱窒化する場合について説明する。

【0100】まず、シリコン基板の表面に生じた自然酸化膜を900℃の温度で熱窒化し、次いでその上に厚さ2nmのシリコン酸化膜をCVD法により形成する。この場合、シリコン酸化膜の成膜条件は、原料ガスとして SiCl_2H_2 と N_2O との混合ガスを使用し、成膜温度は750℃、成膜圧力は0.3 Torrとする。

【0101】この後、950℃、1時間の条件で、窒化剤として NH_3 を用いた窒素性雰囲気中で上記シリコン酸化膜を熱窒化する。このようなシリコン酸化膜の成膜と熱窒化处理を繰返して、実膜厚が6nmのシリコン窒化酸化膜を形成する。

【0102】このような方法でも膜中のダングリングボンドが窒素により終端され、トラップが低減化されるので、リーク電流の小さいシリコン窒化酸化膜を形成することができる。

【0103】なお、シリコン酸化膜の代わりに、シリコ

ン膜を熱窒化してシリコン窒化膜を形成しても良い。例えば、厚さ2nmの非晶質シリコン膜を堆積した後、窒化剤としてNH₃を用いた窒素性雰囲気中で上記非晶質シリコン膜を熱窒化しても良い。この方法でも、厚さが2nm程度の低トラップ密度のシリコン窒化膜を形成でき、リーク電流の低減化を図ることができる。また、多結晶シリコン膜の場合にも同様な効果が得られる。

(第5の実施形態) 第3、第4の実施形態において、シリコン窒化膜、シリコン酸化膜の堆積工程と熱窒化工程を、同一の装置内で真空連続的に行なうことが、生産性の向上や、ダスト等による汚染の低減化のためには好ましい。

【0104】このような連続処理は、例えばホットウォール型のバッチ式の熱処理装置を用いて行なうことができる。すなわち、まず、シリコン基板(ウェハ)を600℃で装置内に搬送し、次いで減圧下のNH₃雰囲気中で950℃まで昇温し1時間の熱処理を行なって、基板表面にシリコン窒化膜を形成する。

【0105】次に700℃まで降温した後、SiCl₂H₂とNH₃との混合ガスを原料ガスに用いたCVD法により、上記シリコン窒化膜上に厚さ2nmのシリコン窒化膜を堆積する。この後、雰囲気NH₃を切り替えた後、温度を950℃まで昇温し、上記厚さ2nmのシリコン窒化膜を熱窒化し、ダングリングボンドを窒素で終端する。

【0106】このシリコン窒化膜の堆積工程と熱窒化工程を繰返し、必要な膜厚のシリコン窒化膜を形成する。そして、最後の熱窒化工程を終了した後、NH₃雰囲気で温度を600℃まで降温し、シリコン基板(ウェハ)を装置外に搬送する。

【0107】なお、本実施形態では、バッチ式の熱処理装置を用いた場合について説明したが、枚葉式のマルチチャンバを有する熱処理装置を用いても良い。この場合、熱処理装置は、熱窒化を行なう第1の熱処理室と、シリコン窒化膜の成膜を行なう第2の熱処理室とを備え、まず第1の熱処理室で基板表面を窒化する。次に第1の熱処理室でシリコン窒化膜の成膜を行なった後、第2の熱処理室でシリコン窒化膜を熱窒化する。成膜はCVD法で行なう。この後、第1の熱処理室でのシリコン窒化膜の成膜と、第2の熱処理室での熱窒化処理とを繰返し、必要な厚さのシリコン窒化膜を形成する。

【0108】以上詳述したように本発明によれば、単位面積当たりの水素密度を $1 \times 10^{15} \text{ cm}^{-2}$ 以下にすることにより、リーク電流の小さいシリコン窒化膜を実現できるようになる。

【0109】しかしながら、この方法でも窒化膜中の塩素、およびN-H結合を減少させることは困難である。さらに、従来のCVD法では、原料ガスが混合された状態で供給されるため、気相中で反応が進み、基板表面にはクラスター化した分子が吸着し、反応がおこる。この

ため、一旦膜に取り込まれた水素、塩素などの除去が困難になる。

【0110】一方、デジタルCVDとして原料ガスを間欠的に供給して堆積する方法が知られている(Appl. Phys. Lett. 68(23) p.3257(1996))。この方法を用いれば、反応を基板表面だけに限定することができる。

【0111】しかしながら、この方法では、高温にすると原料ガス自身が分解して基板上に堆積してしまうため、これまで400-450℃以下の低温での成膜しか検討されてこなかった。従って、デジタルCVD法でも十分に反応を促進することができず、膜中に多量の水素および塩素が残り、リーク電流が減少しないという問題がある。

【0112】そこで、次に窒化膜中の、水素濃度のみならず塩素濃度を大幅に低減できる実施形態を説明する。

(第6の実施形態) 図12は、本発明の第6の実施形態に係る窒化膜の製造方法を段階的に示す断面図である。

【0113】まず、図12(a)に示すように、シリコン基板101を塩酸と過酸化水素水の混合溶液を用いて洗浄し、厚さ1.0nmの自然酸化膜102aを形成する。次に、図12(b)に示すように、この自然酸化膜102aを900℃、100 Torrの条件においてアンモニア雰囲気中で熱処理し、2nmの窒化された自然酸化膜102bを形成する。

【0114】つぎに、図12(c)に示すように、この窒化された自然酸化膜102bを四塩化シリコンを用いてアニールし(800℃、0.5 Torr)、熱窒化膜表面に塩素で終端されたシリコン層103を1原子層形成する。

【0115】その後、図12(d)に示すように、炉内の四塩化シリコンを1分間で窒素に置換した後、供試基板をアンモニア中でアニールし(800℃、0.5 Torr)、その表面にシリコン窒化層104を形成する。その後、炉内のNH₃をN₂にて置換する。

【0116】上記の図12(c)および図12(d)の工程によりシリコン窒化膜を1原子層形成することができる。この工程を40回繰り返すことにより、図12(e)に示すように厚さ4.0nmのシリコン窒化膜105が形成される。

【0117】その後、通常のキャパシタ形成工程を経て、MISキャパシタが形成される。本実施形態の如き絶縁膜の形成方法を用いれば、シリコン窒化膜を1層毎に一定量形成することができる。特に、自己制限的に一定量の膜厚が形成されるため、十分に四塩化シリコンとアンモニアの間で反応をおこすことができる。かつ、シリコン源として四塩化シリコンを用いることにより、高温でもシリコンの堆積が抑制され、膜中に取り込まれる塩素、水素などの不純物を大幅に低減することが可能となる。

【0118】本実施形態に従い形成したMISキャパシ

タと、四塩化シリコンとアンモニアを原材料として用いてCVD法で形成した窒化膜（第1の実施例）のMISキャパシタとのリーク電流を比較した結果を図13に示す。本実施形態によりリーク電流がさらに低減されていることが分かる。これは、窒化膜中のSi-Hのみならず、N-H、Si-Cl濃度が低減したためである。

【0119】また、図14は、第1の実施形態のシリコン窒化膜と本実施形態のシリコン窒化膜のFT-IR吸収スペクトルをそれぞれ示したものである。第1の実施形態のシリコン窒化膜（図14(a)）では、N-H結合が僅かではあるが認められるが、本実施形態（図14(b)）では、N-H結合はほとんど視認できないほどに減少している。

【0120】本実施形態では、四塩化シリコンのアニール条件を800℃、0.5 Torr、1分としたが、必ずしもこの条件である必要はない。要は、四塩化シリコンからシリコンが堆積せず、かつできるだけ高温、高圧で行うことが望ましい。例えば、圧力を10 Torr程度まで上げてよいし、アニール温度を850℃としても良い。一方、アンモニア中でのアニールはできるだけ高温で行うことが好ましい。窒素の置換は充分に各ガスが置換できる時間で行えばよい。

【0121】また、本実施形態では窒素源としてアンモニアを用いたが、必ずしもアンモニアである必要はなく、ヒドラジン、三弗化窒素等を用いてもよい。一方、シリコン源としては、四塩化シリコン以外に三塩化シリコンや二塩化シリコンでも良いが、アニール温度を高温にするためには、四塩化シリコンが好ましい。

【0122】また、本実施形態ではシリコン基板表面を窒化した後、シリコン窒化膜を堆積している。熱窒化を行うことは、四塩化シリコンの吸着点を増加させる役割があり、シリコン窒化膜の島状成長を抑制する。従って、必ずしも表面を窒化处理しなくても、四塩化シリコンの吸着点を増加させるような処理を行えばよい。例えば、基板の自然酸化膜を除去する工程でもよいし、自然酸化膜を六塩化二シリコン中でアニールすることで、吸着点を増加させてもよい。特に、熱窒化を使わずに自然酸化膜上で吸着点を増加させる六塩化二シリコン中の400℃以下でのアニールは、トランジスタに用いるMISキャパシタのゲート絶縁膜形成時に用いることにより、非常な良好な界面が形成できる。

【0123】また、本実施形態では、原料ガスの置換に窒素を用いているが、必ずしもこれに限定されるものではない。窒素の代わりに他の不活性ガス、例えばアルゴンやヘリウムを用いてもよいし、また塩化水素や水素ガスを用いてもよい。

【0124】また、本実施形態では平面基板上にキャパシタを形成する例を示したが、トレンチキャパシタやスタックドキャパシタ等の3次元構造を有するキャパシタに適用しても良い。また、トランジスタのMISキャパ

シタに用いるゲート絶縁膜に適用してもよい。

【0125】以上、本発明の実施形態を説明したが、本発明は上記実施形態に限られるものではなく、本発明の主旨を逸脱しない範囲で種々変形して実施することができる。

【0126】

【発明の効果】以上詳述したように本発明によれば、シリコン窒化膜中にSi-H結合を実質的に含まない、具体的には、単位面積当たりの水素密度を $1 \times 10^{15} \text{ cm}^{-2}$ 以下にすることにより、リーク電流の小さいシリコン窒化膜を実現できるようになる。

【0127】また、本発明では、シリコン窒化膜形成時、塩化シリコンとアンモニアを交互に供給することにより、シリコン窒化膜中の水素、塩素濃度を大幅に低下させることができる。これにより、リーク電流が本質的に多いシリコン窒化膜を高品質化でき、かつ薄膜化することが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るシリコン窒化膜の形成方法を段階的に示す断面図。

【図2】第1の実施形態に係るシリコン窒化膜および従来のシリコン窒化膜の水素濃度分布を示す図。

【図3】第1の実施形態に係るシリコン窒化膜および従来のシリコン窒化膜のESR吸収スペクトルの測定結果を示す図。

【図4】第1の実施形態に係るシリコン窒化膜および従来のシリコン窒化膜の膜厚とゲート電圧（ 10^{-8} A/cm^2 における）の関係を示す図。

【図5】シリコン窒化膜の単位面積当たりの水素密度とリーク電流との関係を示す図。

【図6】第1の実施形態に係るシリコン窒化膜および従来のシリコン窒化膜のFT-IR吸収率の測定結果を示す図。

【図7】本発明の第2の実施形態に係るDRAMメモリの製造工程を段階的に示す断面図。

【図8】図7の次の工程を示す図。

【図9】図8の次の工程を示す図。

【図10】第2の実施形態に係るトレンチキャパシタおよび従来のシリコン窒化膜を用いたトレンチキャパシタの膜厚とゲート電圧（ 10^{-8} A/cm^2 における）の関係を示す図。

【図11】本発明の第3の実施形態に係るDRAMメモリの製造工程を段階的に示す断面図。

【図12】本発明の第6の実施形態に係るシリコン窒化膜の製造工程を段階的に示す断面図。

【図13】第6の実施形態に係るキャパシタおよび従来のシリコン窒化膜を用いたキャパシタの膜厚とゲート電圧（ 10^{-8} A/cm^2 における）の関係を示す図。

【図14】(a)は第1の実施形態に係るシリコン窒化膜のFT-IR吸収率の測定結果を示す図で、(b)は

19

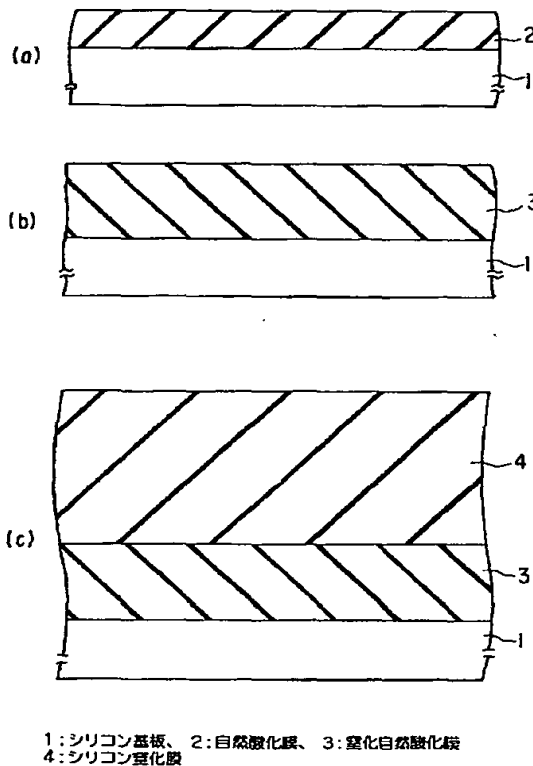
第6の実施形態に係るシリコン窒化膜のFT-IR吸収率の測定結果を示す図。

【図15】第6の実施形態における四塩化シリコンとN-H結合の反応の進行をエネルギーの観点から説明する図。

【符号の説明】

- 1…シリコン基板
2…自然酸化膜層
3…窒化自然酸化膜層
4…シリコン窒化膜
11…p型シリコン基板
12…シリコン酸化膜
13…シリコン窒化膜
14…トレンチ溝
15…n型不純物拡散層（プレート電極）
16、17…シリコン窒化膜（キャパシタ絶縁膜）
18…第1のストレージノード電極
19…後酸化膜
20…第2のストレージノード電極

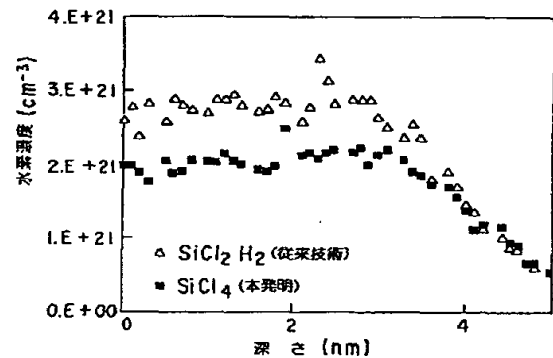
【図1】



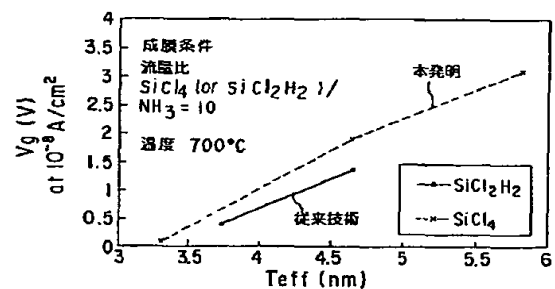
20

- 21…第3のストレージノード電極
22…素子分離絶縁膜
23…ゲート酸化膜
24…ゲート電極
25…ゲート上部絶縁膜
26…ソース・ドレイン領域（LDD）
27…ゲート側壁シリコン窒化膜
28…ソース・ドレイン領域
29…レジストパターン
10 31…p型シリコン基板
32…素子分離絶縁膜
33…ゲート酸化膜
34…ゲート電極
35…ゲート上部絶縁膜
36…ゲート側壁絶縁膜
37…ソース・ドレイン領域
38…層間絶縁膜
39…ストレージノード電極

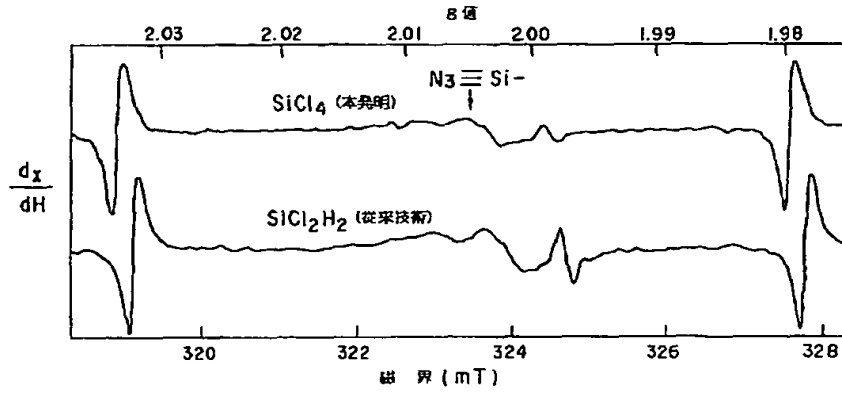
【図2】



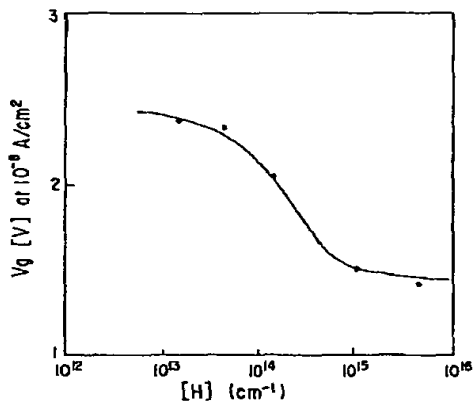
【図4】



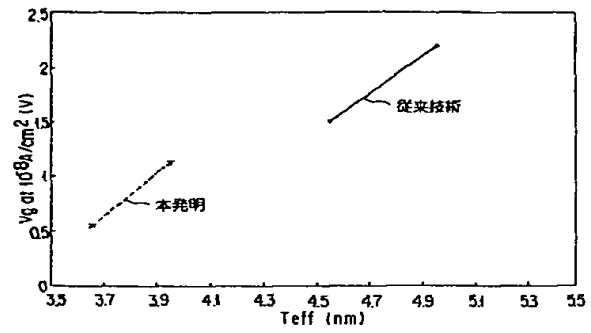
【図 3】



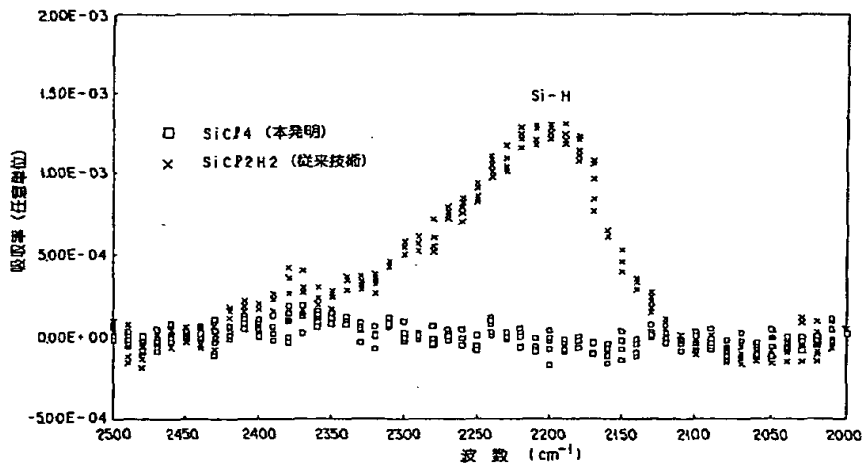
【図 5】



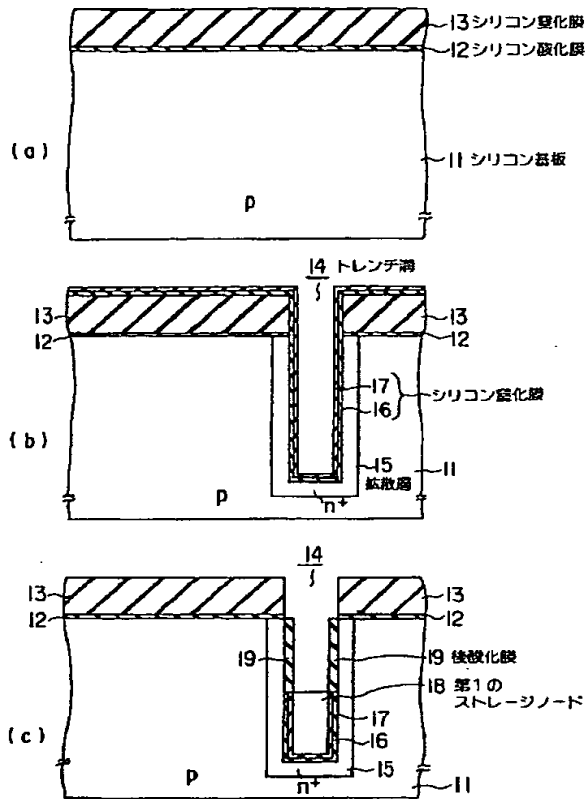
【図 13】



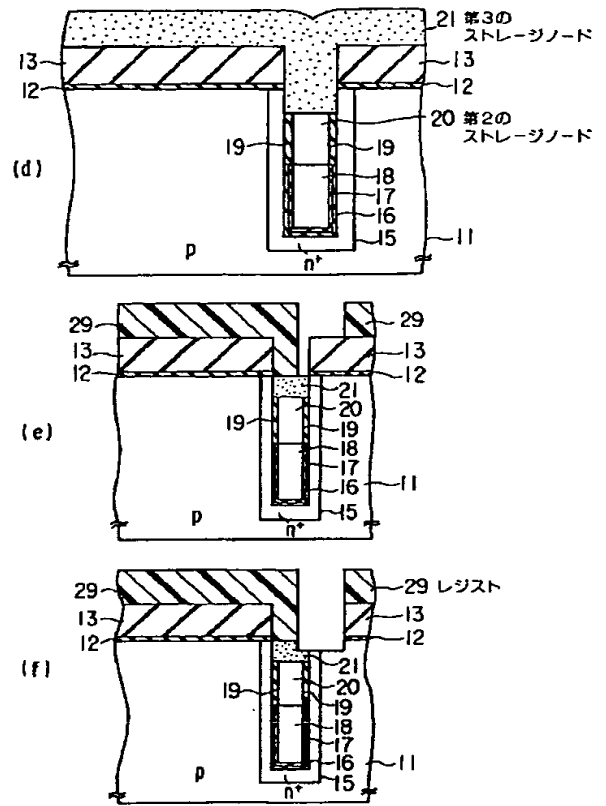
【図 6】



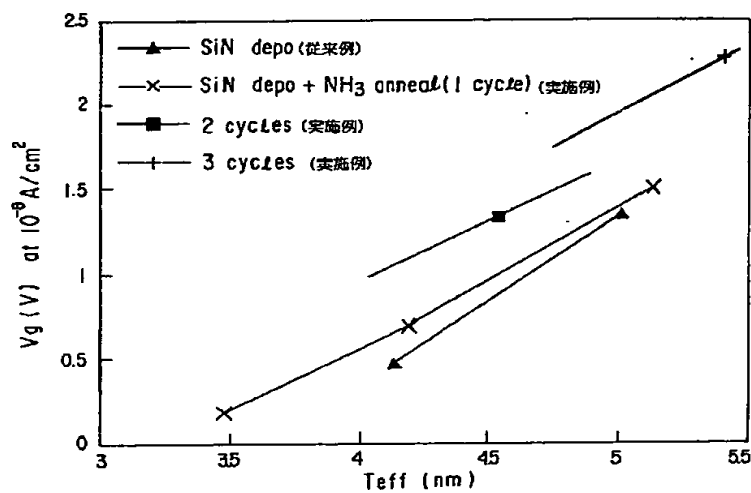
【図7】



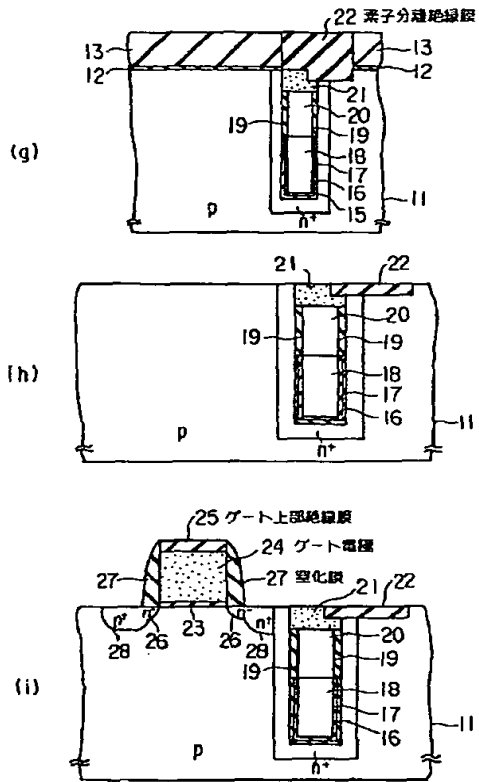
【図8】



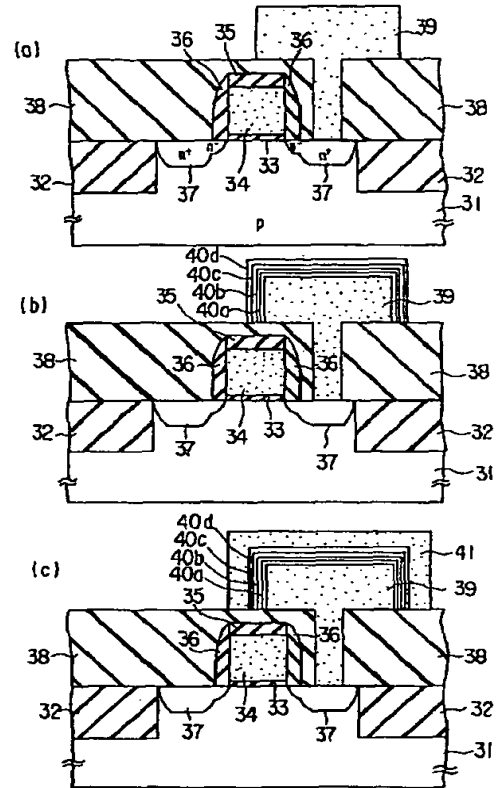
【図10】



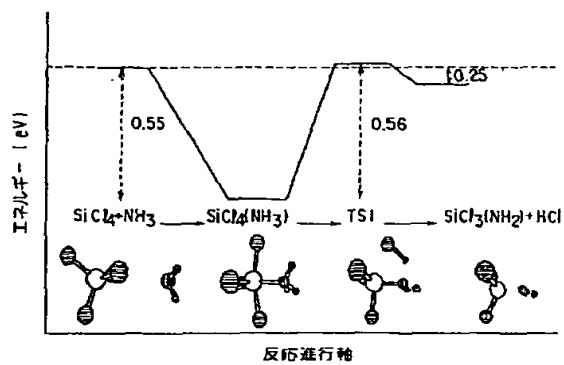
【図 9】



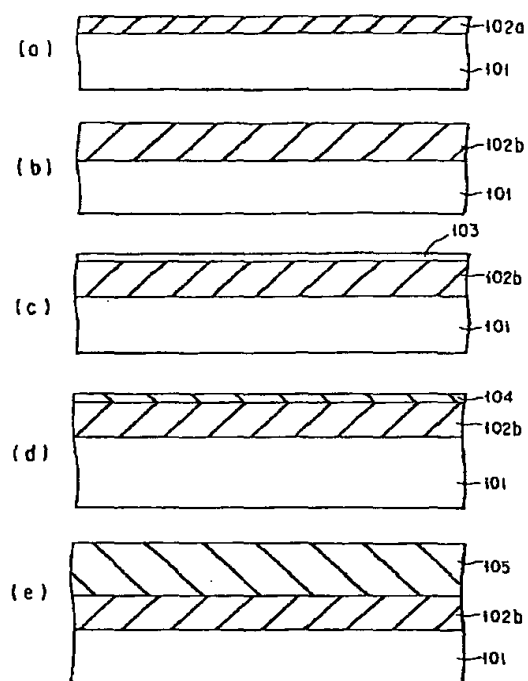
【図 11】



【図 15】

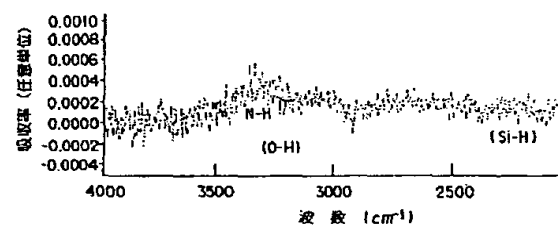


【図 1 2】

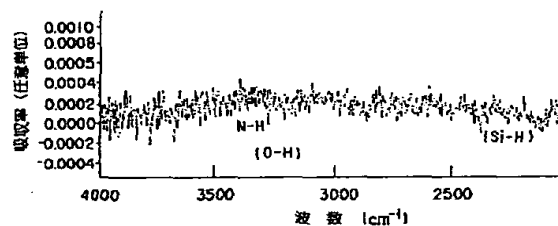


101: シリコン基板、102a: 自然酸化膜、102b: 窒化自然酸化膜
 103: シリコン層、104: シリコン窒化層、105: シリコン窒化膜

【図 1 4】



(a)



(b)

